

PAT-NO: JP02003110631A
DOCUMENT-IDENTIFIER: JP 2003110631 A
TITLE: APPARATUS AND METHOD FOR TRANSMISSION/RECEPTION
PUBN-DATE: April 11, 2003

INVENTOR-INFORMATION:

NAME **COUNTRY**
OGURO, TAKAYUKI N/A

ASSIGNEE-INFORMATION:

NAME **COUNTRY**
MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP2001294882
APPL-DATE: September 26, 2001

INT-CL (IPC): Ho4L025/02

ABSTRACT:

PROBLEM TO BE SOLVED: To automatically make transmission/reception conditions proper according to a voltage change in a signal sent/received via a transmission line.

SOLUTION: An analog and digital converter 102 converts a clock signal received via a transmission line into a digital signal and outputs it with amplitude information of the clock signal. A clock signal shaper 103 recovers the clock signal from the digital signal. A decision voltage variable buffer 105 discriminates a level of a data signal received via the transmission line according to a decision voltage decided by the amplitude information of the clock signal. An output waveform variable buffer 107 applies waveform conversion to a logic signal generated from the recovered clock signal on the basis of the decision result according to conditions decided by a voltage generated from the frequency of the recovered clock signal and a power supply voltage applied from a power supply voltage supply device 109 to generate a data signal to be sent via the transmission line.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110631

(P2003-110631A)

(43)公開日 平成15年4月11日(2003.4.11)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 4 L 25/02

H 0 4 L 25/02

Z 5 K 0 2 9

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21)出願番号 特願2001-294882(P2001-294882)

(22)出願日 平成13年9月26日(2001.9.26)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小黒 隆之

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74)代理人 100105050

弁理士 鷲田 公一

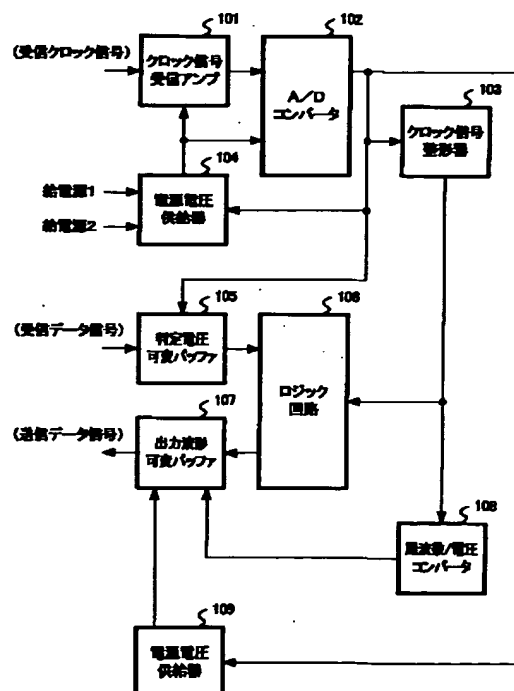
Fターム(参考) 5K029 CC01 EE04 FF01 GG03

(54)【発明の名称】 送受信装置及び送受信方法

(57)【要約】

【課題】 伝送路を介して送受信される信号の電圧変化に応じて送受信条件を自動的に適正化する。

【解決手段】 A/Dコンバータ102は、伝送路を介して入力されたクロック信号を、ディジタル信号に変換し、クロック信号の振幅情報とともに出力する。クロック信号整形器103は、ディジタル信号からクロック信号を再生する。判定電圧可変バッファ105は、伝送路を介して受信されたデータ信号のレベル判定をクロック信号の振幅情報から決定した判定電圧によって行う。出力波形可変バッファ107は、ロジック回路106が判定結果と再生クロック信号から生成したロジック信号を、周波数/電圧コンバータ108が再生クロック信号の周波数から生成した電圧と電源電圧供給器109から供給される電源電圧とから決定した条件で波形変換し、伝送路を介して送信するデータ信号を生成する。



【特許請求の範囲】

【請求項1】 伝送路を介して入力されたクロック信号を利得1で増幅する受信アンプと、前記受信アンプが出力するクロック信号をデジタル信号に変換し、前記デジタル信号を前記クロック信号の振幅情報とともに出力するA/Dコンバータと、前記クロック信号の振幅情報から前記受信アンプに供給する電源電圧を決定する第1電源電圧供給器と、前記デジタル信号からクロック信号を再生するクロック信号整形器と、伝送路を介して受信したデータ信号の高レベル・低レベルの判定を前記クロック信号の振幅情報に基づき決定した判定電圧で行い、判定結果と前記再生したクロック信号とに基づきロジック信号を生成するロジック信号生成器と、前記再生したクロック信号の周波数を電圧に変換する周波数/電圧コンバータと、前記ロジック信号を、電源電圧と前記周波数/電圧コンバータの出力電圧とに基づき決定した条件で波形変換し、伝送路を介して送信するデータ信号を生成する出力波形変換器と、前記クロック信号の振幅情報から前記出力波形変換器に供給する前記電源電圧を決定する第2電源電圧供給器と、を具備することを特徴とする送受信装置。

【請求項2】 前記ロジック信号生成器で決定される前記判定電圧は、ヒステリシス特性を有することを特徴とする請求項1記載の送受信装置。

【請求項3】 前記出力波形変換器は、送信する前記データ信号の電圧を前記クロック信号の電圧とほぼ同等にすることを特徴とする請求項1又は請求項2に記載の送受信装置。

【請求項4】 前記出力波形変換器は、送信する前記データ信号の波形を前記再生クロック信号の周波数に応じて可変にすることを特徴とする請求項1から請求項3のいずれかに記載の送受信装置。

【請求項5】 前記出力波形変換器は、送信する前記データ信号の立上り/立下りの遷移時間を前記再生クロック信号の周波数が低い時には長くすることを特徴とする請求項1から請求項4いずれかに記載の送受信装置。

【請求項6】 伝送路からのクロック信号の振幅情報に基づき第1電源電圧供給器の電圧条件を設定し、周波数条件を周波数/電圧コンバータに設定する工程と、伝送路からのクロック信号を利得1で増幅する受信アンプの電源電圧を前記第1電源電圧供給器に設定する工程と、前記受信アンプが出力するクロック信号をデジタル変換し、変換したデジタル信号を前記クロック信号の振幅情報とともに出力する工程と、前記デジタル信号からクロック信号を再生する工程と、前記クロック信号の振幅情報に基づきその電圧が前記電圧条件の範囲内か否か判定する工程と、前記再生クロック信号の周波数が前記周波数条件の範囲内か否かを判定する工程と、前記クロック信号が電圧条件内及び周波数条件内の場合に、伝送路を介して受信したデータ信号の高レベル・低レベル

の判定を、前記クロック信号の振幅情報から決定した判定電圧によって行い、判定結果と前記再生クロック信号とからロジック信号を生成する工程と、電源電圧と前記周波数/電圧コンバータにおいて再生クロック信号の周波数から変換された電圧とに基づき決定した条件で前記ロジック信号の波形を変換し、伝送路を介して送信するデータ信号を生成する工程と、前記クロック信号の振幅情報に基づき決定した前記電源電圧を第2電源電圧供給器に設定する工程と、

10 を具備することを特徴とする送受信方法。

【請求項7】 前記クロック信号が前記電圧条件及び周波数条件の範囲外の場合に、電圧条件及び周波数条件と受信アンプの電源電圧を前記第1電源電圧供給器に再設定する工程を具備することを特徴とする請求項6記載の送受信方法。

【請求項8】 前記クロック信号の電圧がハード的制御範囲外になった場合に、前記第1電源電圧供給器が制御範囲外を報知することを特徴とする請求項7に記載の送受信方法。

20 【請求項9】 前記再生クロック信号の周波数がハード的制御範囲外になった場合に、前記周波数/電圧コンバータが制御範囲外を報知することを特徴とする請求項7に記載の送受信方法。

【請求項10】 複数の機能ユニット及びクロック信号発生器が機能ユニット間バスラインを介して接続され、各機能ユニットの入出力部が前記機能ユニット間バスラインを介してデータの送受信を行う情報処理装置において、

30 前記複数の機能ユニットは、前記入出力部として、請求項1から請求項5のいずれかに記載の送受信装置を具備することを特徴とする情報処理装置。

【請求項11】 複数の情報処理装置及びクロック信号発生器が装置間伝送路を介して接続され、各情報処理装置の外部インタフェース部が前記装置間伝送路を介してデータの送受信を行う情報通信システムにおいて、前記複数の情報処理装置は、前記外部インタフェース部として、請求項1から請求項5のいずれかに記載の送受信装置を具備することを特徴とする情報通信システム。

【発明の詳細な説明】

40 【0001】

【発明が属する技術分野】本発明は、二つ以上の電子機器を結ぶ伝送路を経由して信号の送受信を行う送受信装置及び送受信方法に関する。

【0002】

【従来の技術】従来、二つ以上の電子機器を結ぶ伝送路を経由して信号の送受信を行う送受信装置としては、例えば実開平6-5242号公報（波形整形装置）に記載されるものが知られている。

50 【0003】図15は、従来の送受信装置の構成を示すブロック図である。図15において、1501及び15

02は単方向伝送路、1503は制御手段、1504は波形整形手段、1505はバスライン、1506及び1507は電子機器、1510及び1520はORゲート、1511及び1521はバッファ、1530はD型フリップフロップ(以下、D-FFという)、1531はNANDゲート、1532はANDゲート、1533はインバータである。

【0004】従来の送受信装置は、二つの単方向伝送路1501及び1502を介して、複数の電子機器1506及び1507間でデータ信号の送受信を行う。制御手段1503は、D-FF1530、NANDゲート1531、ANDゲート1532、インバータ1533で構成されている。

【0005】制御手段1503は、電子機器1506又は1507のどちらか一方の入力端が低レベルであることを検出して通信の開始を判断し、前記単方向伝送路1501又は1502のどちらか一方にデータ信号を透過させ、もう一方の伝送路の出力を高レベルに固定してデータ信号を不通過にする。

【0006】波形整形手段1504は、ORゲート1510及び1520とバッファ1511及び1521で構成され、データ信号を通過させる時に波形整形を行う。

【0007】

【発明が解決しようとする課題】しかしながら、従来の送受信装置では、データ信号を伝送路の途中で波形整形するだけであるので、データ信号の電圧変化に対応できない。したがって、伝送路を介して送受信するデータ信号のレベル毎に異なる送受信装置が必要になるという問題があった。

【0008】本発明は、かかる点に鑑みてなされたものであり、伝送路を介して入力された信号の電圧変化に応じて送受信条件を自動的に適正化することのできる送受信装置及び送受信方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の送受信装置は、伝送路を介して入力されたクロック信号を利得1で増幅する受信アンプと、前記受信アンプが出力するクロック信号をデジタル信号に変換し、前記デジタル信号を前記クロック信号の振幅情報とともに出力するA/Dコンバータと、前記クロック信号の振幅情報から前記受信アンプに供給する電源電圧を決定する第1電源電圧供給器と、前記デジタル信号からクロック信号を再生するクロック信号整形器と、伝送路を介して受信したデータ信号の高レベル・低レベルの判定を前記クロック信号の振幅情報に基づき決定した判定電圧で行い、判定結果と前記再生したクロック信号とに基づきロジック信号を生成するロジック信号生成器と、前記再生したクロック信号の周波数を電圧に変換する周波数/電圧コンバータと、前記ロジック信号を、電源電圧と前記周波数/電圧コンバータの出力電圧とに基づき決定した条件で波形変

換し、伝送路を介して送信するデータ信号を生成する出力波形変換器と、前記クロック信号の振幅情報から前記出力波形変換器に供給する前記電源電圧を決定する第2電源電圧供給器と、を具備する構成を採る。

【0010】この構成によれば、伝送路を介して入力されたクロック信号の振幅情報及び周波数を基準に、受信データの高レベル・低レベルの判定に用いる判定電圧の電圧条件と、判定結果に基づき生成したロジック信号から出力データを生成するためにロジック信号の波形を操作する波形条件とに制御を加えることにより、受信信号の電圧変化に応じて自動的に送受信条件を適正化することができる。

【0011】本発明の送受信装置は、前記ロジック信号生成器で決定される前記判定電圧は、ヒステリシス特性を有する構成を採る。

【0012】この構成によれば、判定電圧にヒステリシス特性を持たせることができるので、伝送路を介して受信したデータ信号の雑音の影響が低減される。

【0013】本発明の送受信装置は、前記出力波形変換器は、送信する前記データ信号の電圧を前記クロック信号の電圧とほぼ同等にする構成を採る。

【0014】この構成によれば、前記出力波形可変バッファが送信するデータ信号の電圧をクロック信号の電圧とほぼ同等にすることができるので、システム全体のデータ信号の電圧を均一にすることができる。

【0015】本発明の送受信装置は、前記出力波形変換器は、送信する前記データ信号の波形を前記再生クロック信号の周波数に応じて可変にする構成を採る。

【0016】この構成によれば、送信するデータ信号の波形をクロック周波数に応じて可変にすることができるので、電流の節約と信号の高周波成分の低減とが図れる。

【0017】本発明の送受信装置は、前記出力波形変換器は、送信する前記データ信号の立上り/立下りの遷移時間を前記再生クロック信号の周波数が低い時には長くする構成を採る。

【0018】この構成によれば、送信するデータ信号の波形をクロック周波数に応じて可変にすることができるので、電流の節約と信号の高周波成分の低減とが図れる。

【0019】本発明の送受信方法は、伝送路からのクロック信号の振幅情報に基づき第1電源電圧供給器の電圧条件を設定し、周波数条件を周波数/電圧コンバータに設定する工程と、伝送路からのクロック信号を利得1で増幅する受信アンプの電源電圧を前記第1電源電圧供給器に設定する工程と、前記受信アンプが出力するクロック信号をデジタル変換し、変換したデジタル信号を前記クロック信号の振幅情報とともに出力する工程と、前記デジタル信号からクロック信号を再生する工程と、前記クロック信号の振幅情報に基づきその電圧が前

記電圧条件の範囲内か否か判定する工程と、前記再生クロック信号の周波数が前記周波数条件の範囲内か否かを判定する工程と、前記クロック信号が電圧条件内及び周波数条件内の場合に、伝送路を介して受信したデータ信号の高レベル・低レベルの判定を、前記クロック信号の振幅情報から決定した判定電圧によって行い、判定結果と前記再生クロック信号とからロジック信号を生成する工程と、電源電圧と前記周波数／電圧コンバータにおいて再生クロック信号の周波数から変換された電圧とに基づき決定した条件で前記ロジック信号の波形を変換し、伝送路を介して送信するデータ信号を生成する工程と、前記クロック信号の振幅情報に基づき決定した前記電源電圧を第2電源電圧供給器に設定する工程と、を具備するようにした。

【0020】この方法によれば、伝送路を介して入力されたクロック信号の振幅情報及び周波数を基準に、受信データの高レベル・低レベルの判定に用いる判定電圧の電圧条件と、判定結果に基づき生成したロジック信号から出力データを生成するためにロジック信号の波形を操作する波形条件とに制御を加えることにより、受信信号の電圧変化に応じて自動的に送受信条件を適正化することができる。

【0021】本発明の送受信方法は、前記クロック信号が前記電圧条件及び周波数条件の範囲外の場合に、電圧条件及び周波数条件と受信アンプの電源電圧を前記第1電源電圧供給器に再設定する工程を具備するようにした。

【0022】この方法によれば、伝送路を介して入力されたクロック信号の振幅情報及び周波数を基準に、電圧条件及び周波数条件と、受信アンプの電源電圧を再設定でき、受信アンプの消費電力を低減できる。

【0023】本発明の送受信方法は、前記クロック信号の電圧がハード的制御範囲外になった場合に、前記第1電源電圧供給器が制御範囲外を報知するようにした。

【0024】この方法によれば、伝送路を介して入力されたクロック信号の電圧が、送受信装置のハード的制限を超えたことを知ることができる。

【0025】本発明の送受信方法は、前記再生クロック信号の周波数がハード的制御範囲外になった場合に、前記周波数／電圧コンバータが制御範囲外を報知するようにした。

【0026】この方法によれば、伝送路を介して入力されたクロック信号の周波数が、送受信装置のハード的制限を超えたことを知ることができる。

【0027】本発明の情報処理装置は、複数の機能ユニット及びクロック信号発生器が機能ユニット間バスラインを介して接続され、各機能ユニットの入出力部が前記機能ユニット間バスラインを介してデータの送受信を行う情報処理装置において、前記複数の機能ユニットは、前記入出力部として、上記本発明の送受信装置を具備す

る構成を採る。

【0028】この構成によれば、入出力部として動作する本発明の送受信装置により、伝送路を介して入力されたクロック信号の振幅情報及び周波数を基準に、受信データの高レベル・低レベルの判定に用いる判定電圧の電圧条件と、判定結果に基づき生成したロジック信号から出力データを生成するためにロジック信号の波形を操作する波形条件とに制御を加えることができるので、受信信号の電圧変化に応じて送受信条件を自動的に適正化することができる情報処理装置が得られる。

【0029】本発明の情報通信システムは、複数の情報処理装置及びクロック信号発生器が装置間伝送路を介して接続され、各情報処理装置の外部インタフェース部が前記装置間伝送路を介してデータの送受信を行う情報通信システムにおいて、前記複数の情報処理装置は、前記外部インタフェース部として、上記本発明の送受信装置を具備する構成を採る。

【0030】この構成によれば、外部インタフェース部として動作する本発明の送受信装置により、伝送路を介して入力されたクロック信号の振幅情報及び周波数を基準に、受信データの高レベル・低レベルの判定に用いる判定電圧の電圧条件と、判定結果に基づき生成したロジック信号から出力データを生成するためにロジック信号の波形を操作する波形条件とに制御を加えることができるので、受信信号の電圧変化に応じて送受信条件を自動的に適正化することができる情報通信システムが得られる。さらに、データ信号の波形が適正化できない場合においては、システム構成が不適切であると判断できる。

【0031】

【発明の実施の形態】本発明の骨子は、伝送路を介して入力されたクロック信号の振幅及び周波数を基準に、受信データのレベルを判定する判定電圧の電圧条件と、判定結果によって生成する出力データの波形条件とに制御を加えることにより、受信信号の電圧変化に応じて送受信条件を自動的に適正化することにある。

【0032】以下に、本発明の実施の形態について、図面を参照して詳細に説明する。

【0033】（実施の形態1）図1は、本発明の実施の形態1に係る送受信装置の構成を示すブロック図である。図1において、この送受信装置は、クロック信号受信アンプ101とA/Dコンバータ102とクロック信号整形器103と電源電圧供給器104と判定電圧可変バッファ105とロジック回路106と出力波形可変バッファ107と周波数／電圧コンバータ108と電源電圧供給器109とを備えている。

【0034】クロック信号受信アンプ101は、ハイインピーダンス入力、ローインピーダンス出力、利得1のアナログバッファであり、図2に示すように、高電位電源と低電位電源の2つの動作電源によって動作を行う。伝送路から入力される受信クロック信号は、例えば図1

1(a)に示すように $V_{a1} \sim V_{a8}$ の間の振幅(電位)を取るアナログ信号である。クロック信号受信アンプ101は、この受信クロック信号をそのままA/Dコンバータ102に出力する。ここで、高電位電源は、受信クロック信号の最高電位以上の電源であり、低電位電源は、受信クロック信号の最低電位以下の電源である。これらは、受信クロック信号の電位に応じて電源電圧供給器104から供給される。

【0035】A/Dコンバータ102は、電源電圧供給器104から動作電源の供給を受けて動作を行い、クロック信号受信アンプ101から入力するアナログ信号である受信クロック信号のレベルに応じたデジタル信号を、クロック信号の振幅とともに出力する。A/Dコンバータ102は、例えば図3に示すように構成される。図3は、8ビットA/Dコンバータの構成例である。

【0036】図3において、A/Dコンバータ102は、ダイオードD1、D2と平滑コンデンサC1、C2と、分圧回路を構成する抵抗器R1~R7と、コンパレータ301~308とを備えている。

【0037】このA/Dコンバータ102では、クロック信号受信アンプ101から入力されたクロック信号Vclockは、コンパレータ301~308の+入力端に印加される。また、クロック信号Vclockは、ダイオードD1、D2と平滑コンデンサC1、C2によって整流され、分圧回路にて抵抗分圧されて電圧 V_{a1} から V_{a8} となり、コンパレータ301~308の-入力端に印加される。コンパレータ301~308では、クロック信号Vclockと、分圧電圧($V_{a1} \sim V_{a8}$)が比較され、図11(b)に示すように、8ビットのデジタル信号 $V_{d1} \sim V_{d8}$ が出力される。なお、8ビット以外のビット数のA/Dコンバータも同様に構成することができ、同様に用いることができる。

【0038】クロック信号整形器103は、例えば図4に示すように構成され、A/Dコンバータ102から入力されるデジタル信号の立上り/立下りを検出してクロック信号を再生する。図4において、クロック信号整形器103は、D-FF401とインバータ402とを備えている。D-FF401は、D入力が高レベルHiに固定されている。A/Dコンバータ102から入力されたデジタル信号の第1ビット V_{d1} がクロック入力端CKに印加され、第8ビットの V_{d8} がインバータ402で反転されてクリア入力端CLRに印加されている。この構成により、A/Dコンバータ102から出力されたデジタル信号に同期して、クロック信号が再生される(図11(c))。

【0039】電源電圧供給器104は、例えば図5に示すように構成され、A/Dコンバータ102の出力(クロック信号の振幅)に基づきクロック信号受信アンプ101及びA/Dコンバータ102に必要な電源を生成し供給する。図5において、電源電圧供給器104は、出

力電圧可変DC/DCコンバータ501、503と、電圧制御器502、504とを備えている。

【0040】電圧制御器502は、A/Dコンバータ102から入力する受信クロックの最高電位 V_{a1} に基づき所定の制御電圧を出力電圧可変DC/DCコンバータ501に出力する。出力電圧可変DC/DCコンバータ501は、電圧制御器502からの制御電圧に基づき給電源1から高電位電源を生成し出力する。

【0041】電圧制御器504は、A/Dコンバータ102から入力する受信クロックの最低電位 V_{a8} に基づき所定の制御電圧を出力電圧可変DC/DCコンバータ503に出力する。出力電圧可変DC/DCコンバータ503は、電圧制御器504からの制御電圧に基づき給電源2から低電位電源を生成し出力する。

【0042】ここで、クロック信号受信アンプ101とA/Dコンバータ102が飽和しないように、高電位電源は、受信クロックの最高電位 V_{a1} よりも高めに制御され、低電位電源は、受信クロックの最低電位 V_{a8} よりも低めに制御される。もちろん、電源電位を常に設定可能な最高値/最低値に固定することも可能であるが、極力 V_{a1}/V_{a8} に近い値に制御した方が消費電力の低減ができる。なお、設定範囲外となった場合には、その旨を報知するようになっている。

【0043】次に、判定電圧可変バッファ105は、例えば図6または図7に示すように構成され、伝送路を介して受信したデータ信号と判定電圧との大小関係を判定し、第1のロジック信号を生成し、ロジック回路106に出力する。図6において、判定電圧可変バッファ105は、アンプ601とコンパレータ602とを備えている。

【0044】アンプ601には、A/Dコンバータ102から、受信クロックの最高電位 V_{a1} と受信クロックの最低電位 V_{a8} とが入力される。コンパレータ602の-入力端には、アンプ701から $(V_{a1} + V_{a8})/2$ の信号が判定電圧として供給され、+入力端には、伝送路を介して受信したデータ信号(図11(d))が供給される。コンパレータ602から判定結果である第1のロジック信号が出力される。

【0045】また、図7において、判定電圧可変バッファ105は、抵抗器R1、R2、R3の直列回路からなる分圧回路とコンパレータ701、702とD-FF703とを備えている。

【0046】分圧回路は、両端に、A/Dコンバータ102から、受信クロックの電位 V_{a2} と、受信クロックの電位 V_{a7} とが印加され、判定電圧 V_h 、 V_l を生成する。

【0047】コンパレータ701は、+入力端に受信データ信号(図11(d))が供給され、-入力端に判定電圧 V_h が供給され、出力(図11(e1))がD-FF703のクロック入力端CKに入力されている。

【0048】コンバータ702は、+入力端に受信データ信号(図11(d))が供給され、-入力端に判定電圧V1が供給され、出力(図11(e2))がD-F F703のクリア入力端CLRに入力されている。

【0049】D-F F703はデータ入力端Dが高レベルHiに固定されている。したがって、D-F F703はCK入力の立上り時にD入力信号(Hi)を取り込み出力端Qを高レベルにする。また、CLR入力が高レベルになると出力端Qを低レベルにする。

【0050】この構成により、D-F F703は出力端Qに伝送路を介して受信されるデータ信号(図11(d))に同期した第1のロジック信号(図11(e3))を出力する。図7に示す判定電圧可変バッファ105を採用することにより、判定電圧にヒステリシス特性を持たせることができ、前記データ信号の雑音の影響を低減できる。なお、図7では、判定電圧Vh、V1の生成に受信クロックの振幅Va2、Va7を用いているが、出力波形可変バッファ107の電源電圧等を用いることも可能である。

【0051】次に、ロジック回路106は、クロック信号整形器103で再生されたクロック信号と前記第1のロジック信号とを受けて必要な処理を行ない、第2のロジック信号(図11(f))を出力波形可変バッファ107に出力する。

【0052】次に、周波数/電圧コンバータ108は、例えば図9に示すように構成され、クロック信号整形器103で再生されたクロック信号の周波数に応じて変化する電圧を出力する。周波数/電圧コンバータ108の出力は、出力波形可変バッファ107に制御信号として入力される。図9において、周波数/電圧コンバータ108は、検波ダイオードDと、抵抗器R1、R2、R3と、コンデンサC1、C2、C3とを備え、低域通過フィルタと高周波信号レベル検出器として機能する。この構成により、再生クロックの周波数が高くなると、出力電圧が小さくなるようにすることができる。なお、出力電圧が再生クロック周波数の許容範囲外に相当するときはその旨を報知する装置を付加しても良い。

【0053】次に、出力波形可変バッファ107は、例えば図8に示すように構成され、周波数/電圧コンバータ108及び電源電圧供給器109の出力を受けて、前記第2のロジック信号を波形変換して得られたデータ信号を伝送路を介して送信する。図8において、出力波形可変バッファ107は、可変抵抗器801と抵抗値制御信号発生器802とアンプ(演算増幅器)803とを備えている。

【0054】抵抗値制御信号発生器802は、周波数/電圧コンバータ108の出力電圧に応じて可変抵抗器801の抵抗値を制御する。つまり、ロジック回路106から入力される第2のロジック信号(図11(f))は、可変抵抗器801において周波数/電圧コンバータ

108の出力電圧に応じた制限を受けてアンプ803の+入力端に入力される。アンプ803の-入力端には、ロジック回路106の出力信号の中間電圧が入力されている。アンプ803の電源(高電位電源、低電位電源)は、電源電圧供給器109から供給される。

【0055】アンプ803の出力信号は、図11(g)に示すような波形となり、立上り/立下りの遷移時間は可変抵抗器801の抵抗値に反比例する。この出力波形可変バッファ107を採用することにより、伝送路を介して送信するデータ信号の波形をクロック周波数に応じて可変にすることができる。前記データ信号の立上り/立下りの遷移時間をクロック周波数が低い時には長くするように制御することにより、出力電流の節約と前記データ信号の高周波成分の低減とが行える。

【0056】次に、電源電圧供給器109は、例えば図10に示すように構成され、A/Dコンバータ102の出力(デジタル値とクロックの振幅値)に基づき出力波形可変バッファ107に必要な電源を生成し供給する。

【0057】図10において、スイッチ1001~1004、スイッチ1013~1016、スイッチ1021~1024、スイッチ1033~1036は、制御信号が高レベルである時にのみ閉路する動作を行う。

【0058】バッファ1005~1008は、シュミット・トリガ・バッファである。インバータ1025~1028は、シュミット・トリガ・インバータである。アンプ1010~1012、アンプ1017、アンプ1030~1032、アンプ1037は、利得1のアナログバッファである。

【0059】動作を説明する。スイッチ1001~スイッチ1004、抵抗器、コンデンサ、バッファ1005~1008で構成される整流回路では、入力デジタル信号(Vd1、Vd2、Vd3、Vd4)がクロック信号の高レベル時にその高レベルである割合を判定する。バッファ1005~1008は、高レベル率が判定電圧以上のとき、それぞれスイッチ1013~1016を閉路させる。その結果、アンプ1017から高電位電源が出力される。

【0060】同様に、スイッチ1021~1024、抵抗器、コンデンサ、インバータ1025~1028で構成される整流回路では、入力デジタル信号(Vd8、Vd7、Vd6、Vd5)がクロック信号の低レベル時にその低レベルである割合を判定する。インバータ1025~1028は、低レベル率が判定電圧以上のとき、それぞれスイッチ1033~1036を閉路させる。その結果、アンプ1037から低電位電源が出力される。

【0061】この電源電圧供給器109を採用することにより、伝送路を介して送信するデータ信号の電圧をクロック信号の電圧とほぼ同等にすることができる。前記データ信号の電圧をクロック信号の電圧と同等にするこ

とにより、システム全体のデータ信号の電圧を均一化することができる。

【0062】以下、図1、図12を参照して、以上のよう構成される送受信装置の動作について説明する。なお、図12は、送受信装置の制御手順を示すフロー図である。

【0063】まず、図1において、クロック信号受信アンプ101は、伝送路を介して入力されたクロック信号の波形を変化させずにA/Dコンバータ102に出力する。A/Dコンバータ102は、入力するクロック信号の電圧に応じたデジタル信号を、クロック信号の振幅値とともに、クロック信号整形器103と電源電圧供給器104と判定電圧可変バッファ105と電源電圧供給器109とに出力する。

【0064】クロック信号整形器103は、クロック信号の立上り/立下り検出信号に相当するロジック信号に基づきクロック信号を再生し、ロジック回路106と周波数/電圧コンバータ108とに出力する。電源電圧供給器104は、クロック信号の振幅に基づき、クロック信号受信アンプ101とA/Dコンバータ102とに必要な電源を供給する。

【0065】判定電圧可変バッファ105は、伝送路を介して受信したデータ信号をクロック信号の振幅に基づき決定した判定電圧によって大小関係を判定し、第1のロジック信号を生成し、ロジック回路106に出力する。ロジック回路106は、再生されたクロック信号と第1のロジック信号とを受けて、必要な処理を行い、第2のロジック信号を生成し、出力波形可変バッファ107に出力する。

【0066】周波数/電圧コンバータ108は、再生されたクロック信号の周波数に応じて変化する電圧を出力波形可変バッファ107に出力する。電源電圧供給器109は、クロック信号の振幅情報に基づき出力波形可変バッファ107に必要な電源を供給する。出力波形可変バッファ107は、周波数/電圧コンバータ108からの入力電圧と電源電圧供給器109から供給される電源電圧とに基づき決定した条件で、第2のロジック信号を波形変換して得られたデータ信号を、伝送路を介して送信する。

【0067】次に、送受信装置の制御手順について、説明する。図12において、ステップST1201では、伝送路を介して入力されたクロック信号の条件として、最高/最低電圧を電源電圧供給器104に設定し、最高/最低周波数を周波数/電圧コンバータ108に設定する。

【0068】ステップST1202では、クロック信号受信アンプに高位/低位電源電圧の初期値を設定する。

【0069】ステップST1203では、クロック信号の入力を開始する。

【0070】ステップST1204では、A/Dコンバ

ータ102でクロック信号の電圧に応じたデジタル信号とクロック信号の振幅とを、クロック信号整形器103と電源電圧供給器104と判定電圧可変バッファ105と電源電圧供給器109とに出力する。

【0071】ステップST1205では、電源電圧供給器104に入力されるクロック信号の振幅 V_{a1} 、 V_{a8} が最高/最低電圧の範囲内か否かを判定する。又、ステップST1205では、周波数/電圧コンバータ108に入力される再生クロック信号の周波数が最低/最高周波数の範囲内か否かを判定する。範囲内のときはステップST1206に進み、範囲外のときはステップST1208に進む。

【0072】ステップST1206では、判定電圧可変バッファ105が、伝送路を介して受信したデータ信号と、クロック信号の振幅 V_{a1} 、 V_{a8} を基準に決定した判定電圧との大小関係を判定し、第1のロジック信号を生成する。

【0073】ステップST1207では、出力波形可変バッファ107が、周波数/電圧コンバータ108から入力された電圧と電源電圧供給器109から供給された電源電圧とに基づき決定した条件で、ロジック回路106から入力された第2のロジック信号を波形変換し、得られたデータ信号を伝送路を介して送信する。

【0074】ステップST1208では、クロック信号の電圧条件及び周波数条件と、クロック信号受信アンプ101の高位/低位電源電圧の初期値とを変更するか否かを判定する。変更する場合は、ステップST1201に戻り、変更しない場合は、ステップST1209に進む。

【0075】ステップST1209では、伝送路を介して入力されたクロック信号の常時監視の必要性が判定される。クロック信号を常時監視したい時はステップST1204に戻り、常時監視が必要ない場合は制御を終了する。

【0076】以上のように、本実施の形態によれば、伝送路を介して入力されたクロック信号の振幅及び周波数を基準に、受信データのレベルを判定する判定電圧の電圧条件と、判定結果によって生成する出力データの波形条件とに制御を加えることができるので、受信信号の電圧変化に応じて自動的に送受信条件を適正化することができる。

【0077】また、伝送路を介して入力されるクロック信号を基準に、電圧条件及び周波数条件と、クロック信号受信アンプの電源電圧を再設定でき、クロック信号受信アンプの消費電力を低減できる。

【0078】また、判定電圧にヒステリシス特性を持たせることができ、伝送路を介して受信したデータ信号の雑音の影響が低減される。

【0079】また、出力波形可変バッファ107が送信するデータ信号の電圧をクロック信号の電圧とほぼ同等

にすることができ、システム全体のデータ信号の電圧を均一にすることができる。

【0080】また、出力波形可変バッファが送信するデータ信号の波形をクロック周波数に応じて可変にすることができるので、電流の節約と信号の高周波成分の低減とが図れる。

【0081】(実施の形態2) 図13は、本発明の実施の形態2に係る情報処理装置の構成を示すブロック図である。

【0082】図13において、この情報処理装置は、複数の機能ユニット1300-1~300-Nとクロック信号発生器1302と機能ユニット間バスライン1303とを備える。複数の機能ユニット1300-1~1300-Nは、それぞれ同様の構成であって、各機能ユニット内のデータ信号を処理する機能ブロック1304と実施の形態1で説明した送受信装置に相当する入出力部1305とで構成される。

【0083】複数の機能ユニット1300-1~1300-Nは、それぞれの入出力部1305が機能ユニット間バスライン1303を介してデータの送受信を行うようになっている。また、クロック信号発生器1302が発生するクロック信号は、機能ユニット間バスライン1303を介して複数の機能ユニット1300-1~1300-Nそれぞれの入出力部1305に供給されるようになっている。この情報処理装置では、複数の機能ユニット1300-1~300-Nのそれぞれにおいて、機能ブロック1304が、自機能ユニット内のデータ信号を処理し、他の機能ユニットに渡すデータ信号を入出力部1305から機能ユニット間バスライン1303に出力させ、また入出力部1305が機能ユニット間バスライン1303を介して他の機能ユニットから取得したデータ信号を受け取り処理する。この時、入出力部1305は、実施の形態1で説明したように、クロック信号発生器1302から出力されるクロック信号の振幅及び周波数を基準に、判定電圧可変バッファ105、出力波形可変バッファ107の電圧、波形に制御を加える。

【0084】以上のように、本実施の形態によれば、実施の形態1による送受信装置に相当する入出力部を具備しているため、入出力部として動作する実施の形態1による送受信装置によって、伝送路を介して入力されたクロック信号の振幅及び周波数を基準に、受信データのレベルを判定する判定電圧の電圧条件と、判定結果によって生成する出力データの波形条件とに制御を加えることができるので、受信信号の電圧変化に応じて送受信条件を自動的に適正化することができる情報処理装置が得られる。

【0085】また、入力されたクロック信号を基準に自動的に送受信条件を適正化することができるので、機能ユニットの追加、削除等にも柔軟に対応することができる。

【0086】(実施の形態3) 図14は、本発明の実施の形態3に係る情報通信システムの構成を示すブロック図である。

【0087】図14において、この情報通信システムは、複数の情報処理装置1400-1~1400-Nとクロック信号発生器1402と装置間伝送路1403とを備える。複数の情報処理装置1400-1~1400-Nは、それぞれ同様の構成であって、各情報処理装置内のデータ信号を処理する情報処理部1404と実施の形態1で説明した送受信装置に相当する外部インタフェース1405とで構成される。

【0088】複数の情報処理装置1400-1~1400-Nは、それぞれの外部インタフェース1405が装置間伝送路1403を介してデータの送受信を行うようになっている。また、クロック信号発生器1402が発生するクロック信号は、装置間伝送路1403を介して複数の情報処理装置1400-1~1400-Nそれぞれの外部インタフェース1405に供給されるようになっている。この情報処理システムでは、複数の情報処理装置1400-1~1400-Nのそれぞれにおいて、情報処理部1404が、自情報処理装置内のデータ信号を処理し、他の情報処理装置に渡すデータ信号を外部インタフェース1405から装置間伝送路1403に出力させ、また外部インタフェース1405が装置間伝送路1403を介して他の情報処理装置から取得したデータ信号を受け取り処理する。この時、外部インタフェース1405は、実施の形態1で説明したように、クロック信号発生器1402から出力されるクロック信号の振幅及び周波数を基準に、判定電圧可変バッファ105、出力波形可変バッファ107の電圧、波形に制御を加える。

【0089】以上のように、本実施の形態によれば、実施の形態1による送受信装置に相当する外部インタフェースを具備しているため、外部インタフェースとして動作する実施の形態1による送受信装置によって、伝送路を介して入力されたクロック信号の振幅及び周波数を基準に、受信データのレベルを判定する判定電圧の電圧条件と、判定結果によって生成する出力データの波形条件とに制御を加えることができるので、受信信号の電圧変化に応じて自動的に送受信条件を適正化することができる情報通信システムが得られる。

【0090】また、入力されたクロック信号を基準に自動的に送受信条件を適正化することができるので、情報処理装置の追加、削除、装置間伝送路の延長、短縮等にも柔軟に対応することができる。

【0091】さらに、データ信号の波形が適正化できない場合においては、システム構成が不適切であると判断できる。

【0092】

【発明の効果】以上説明したように、本発明によれば、

伝送路を介して入力されたクロック信号の振幅及び周波数を基準に、受信データのレベルを判定する判定電圧の電圧条件と、判定結果によって生成する出力データの波形条件とに制御を加えることができるので、受信信号の電圧変化に応じて送受信条件を自動的に適正化する送受信方法及び送受信装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る送受信装置の構成を示すブロック図

【図2】図1に示すクロック信号受信アンプの一例を示す構成図

【図3】図1に示すA/Dコンバータの一例を示す構成図

【図4】図1に示すクロック信号整形器の一例を示す構成図

【図5】図1に示す電源電圧供給器の一例を示す構成図

【図6】図1に示す判定電圧可変バッファの一例を示す構成図

【図7】図1に示す判定電圧可変バッファの一例を示す構成図

【図8】図1に示す出力波形可変バッファの一例を示す構成図

【図9】図1に示す周波数/電圧コンバータの一例を示

す構成図

【図10】図1に示す電源電圧供給器の一例を示す構成図

【図11】図1に示す送受信装置の各部動作を説明するためのタイミング図

【図12】図1に示す送受信装置の制御手順を説明するためのフロー図

【図13】本発明の実施の形態2に係る情報処理装置の構成を示すブロック図

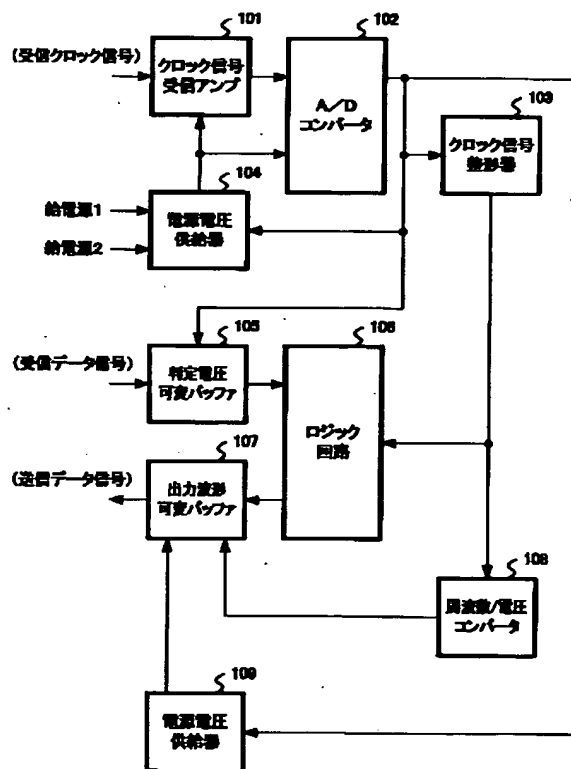
【図14】本発明の実施の形態3に係る情報通信システムの構成を示すブロック図

【図15】従来の送受信装置のブロック図

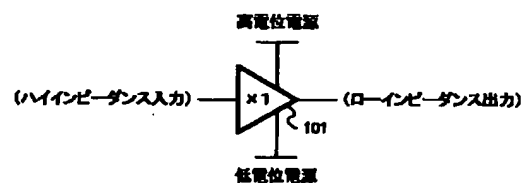
【符号の説明】

- 101 クロック信号受信アンプ
- 102 A/Dコンバータ
- 103 クロック信号整形器
- 104, 109 電源電圧供給器
- 105 判定電圧可変バッファ
- 106 ロジック回路
- 107 出力波形可変バッファ
- 108 周波数/電圧コンバータ

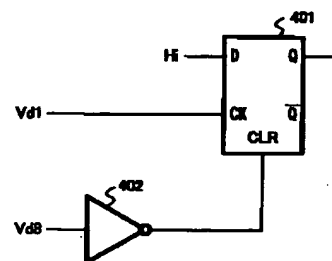
【図1】



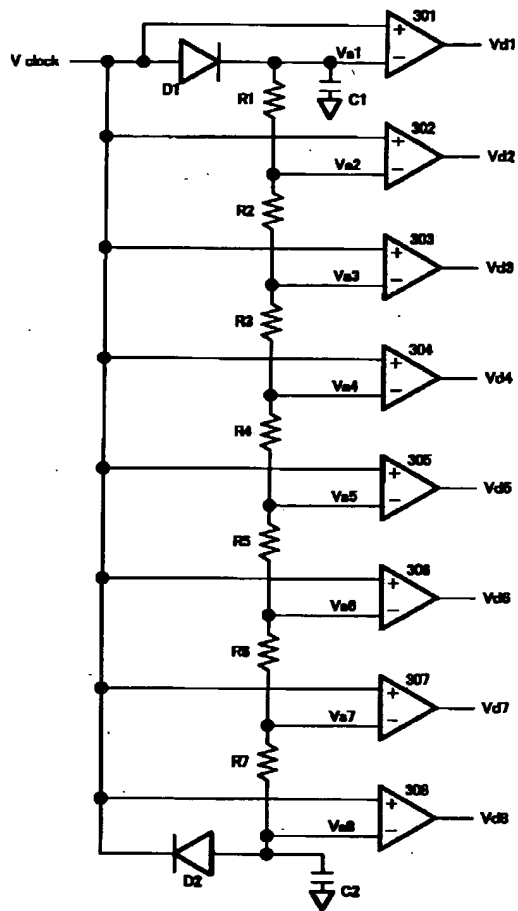
【図2】



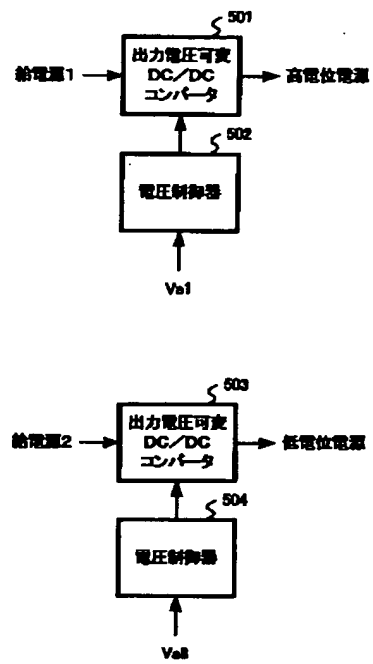
【図4】



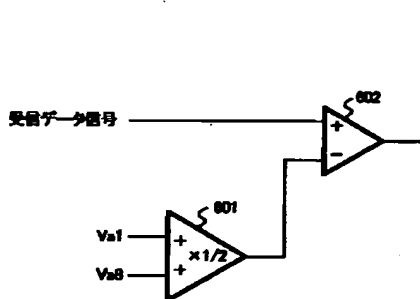
【図3】



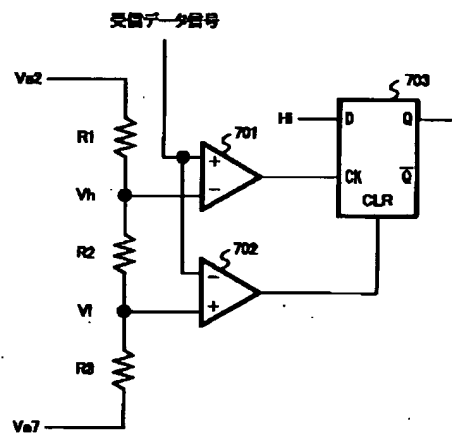
【図5】



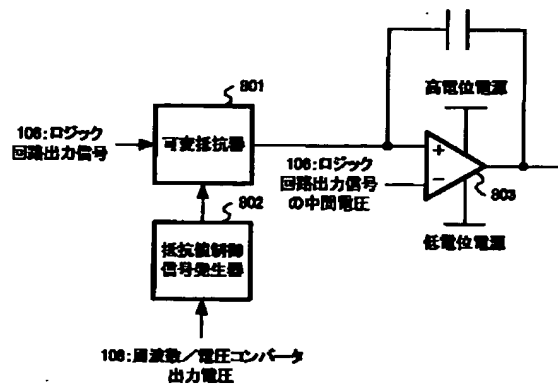
【図6】



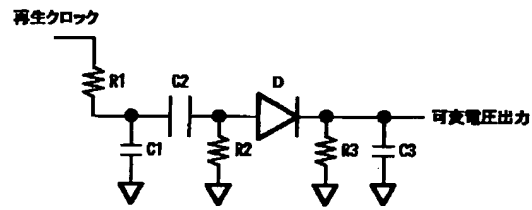
【図7】



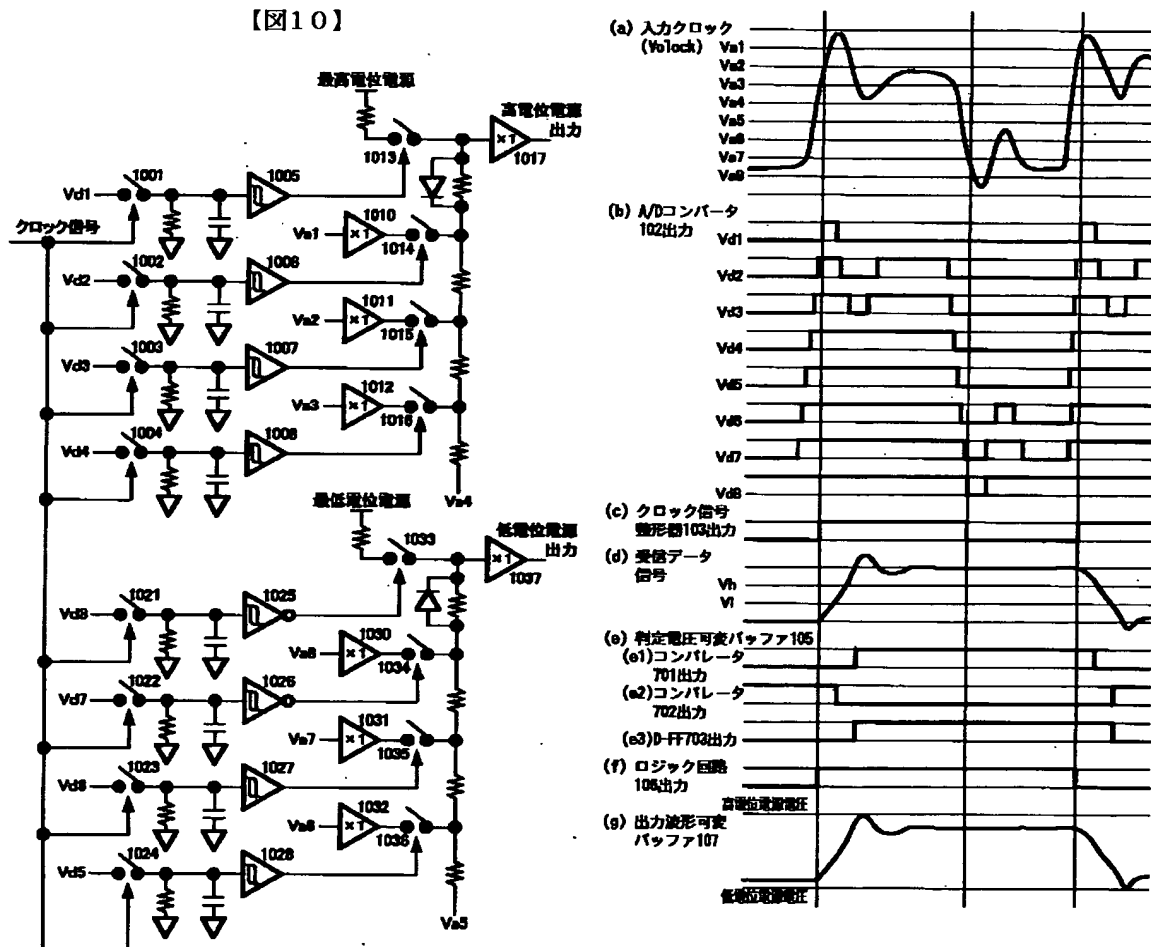
【図8】



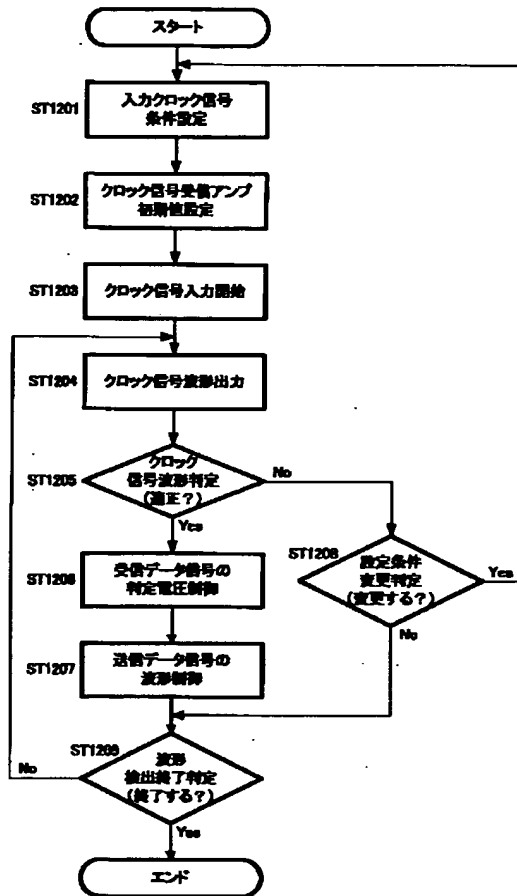
【図9】



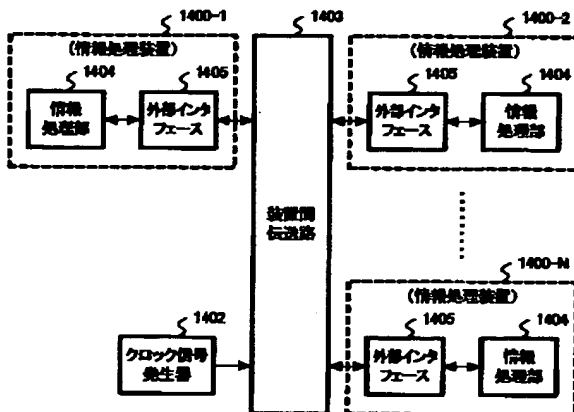
【図11】



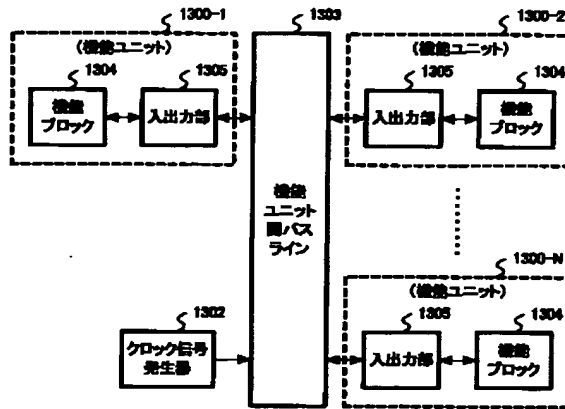
【図12】



【図14】



【図13】



【図15】

